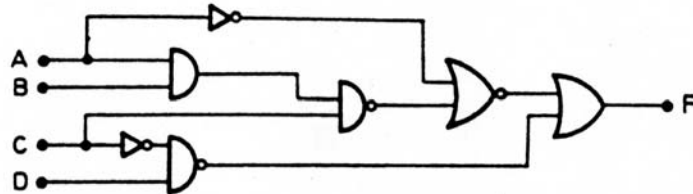


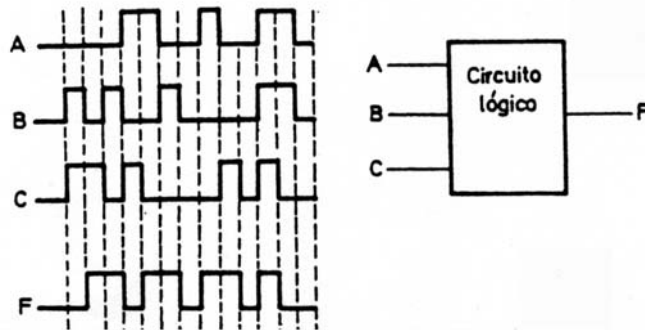


ÁLGEBRA DE BOOLE Y CÓDIGOS NUMÉRICOS

1. – Analizar el circuito de la figura y simplificar la función que realiza.



2. – Los cronogramas de la figura representan el comportamiento temporal de un circuito combinacional, siendo A, B y C las entradas y F la salida. A partir de ellos deducir cuál es la estructura de puertas del circuito.



3. – Simplificar utilizando el diagrama de Karnaugh la siguiente función:

$$f(A, B, C, D) = \overline{A}BCD + B\overline{C}D + A\overline{C} + A$$

4. – En un registro de 4 bits cuyas salidas están disponibles al exterior, se almacena información en el código BCD.

a) Realizar la tabla de verdad de un circuito lógico que detecte si el número contenido en el registro es mayor que 7 o menor que 3.

- b) Minimizar la expresión algebraica de la función obtenida a partir de la tabla realizada en el apartado anterior.
c) Realizar la expresión mínima con puertas NAND.
d) Realizar la expresión mínima con puertas NOR.

5. – Realizar un circuito lógico que tenga por entradas los 4 bits de un número en el código Gray y por salidas los 4 bits del número correspondiente en binario natural. Hacer lo mismo para la situación recíproca. Implementar ambos circuitos con puertas XOR.

SISTEMAS COMBINACIONALES

1. - a) Sea la función lógica de 3 variables:

$$f(a, b, c) = \sum_3(3, 5, 7)$$

Implementarla con un multiplexor '151.

b) Sea la función lógica de cuatro variables:

$$f(a, b, c, d) = \sum_4(0, 2, 4, 5, 6, 11, 12, 14)$$

Implementarla con un multiplexor '151 y un inversor.

2. - Diseñar:

- a) Un circuito sumador-restador de 3 bits y signo. Utilizar para ello un circuito sumador '83 y las puertas XOR que sean necesarias.
b) Un detector de rebasamiento para el sumador-restador del apartado anterior.
c) Basándose en el circuito diseñado en los apartados anteriores, un sumador-restador de 7 bits y signo con detector de rebasamiento.

3. - Sea un sistema digital que dispone de 16 líneas de petición de servicio activas en baja. Diseñar un circuito que nos muestre a través de 2 displays el número de la línea de petición de servicio de mayor prioridad activa en cada instante. Si no hay ninguna activa, no mostrará nada. Hacer el diseño con 2 codificadores de prioridad '148, 2 convertidores de código '48 y dos displays. Utilizar las puertas lógicas que sean necesarias.

4. - Diseñar un multiplexor de 16 canales o vías $I_0 \dots I_{15}$ de 1 bit cada uno a partir de 2 multiplexores '151 con las siguientes características:

- a) Cuando los multiplexores '151 están deshabilitados, su salida está en alta impedancia.
- b) Cuando los multiplexores '151 están deshabilitados, sus salidas están en el nivel lógico "0".
- c) Cuando los multiplexores '151 están deshabilitados, sus salidas están en el nivel lógico "1".

Emplear las puertas lógicas que sean necesarias.

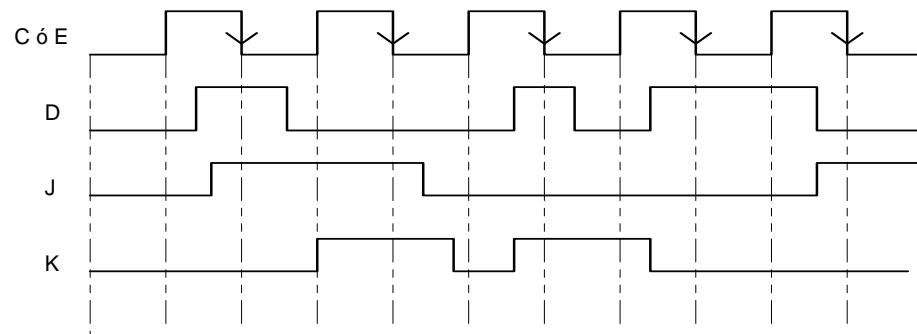
5. - Implementar un comparador para números de 4 bits en complemento a 2 utilizando un comparador binario '85 y las puertas lógicas que sean necesarias.

LATCHES Y FLIP-FLOPS: REGISTROS

1. - Dibujar la secuencia que seguirían las salidas de:

- a) Un F-F D
- b) Un cerrojo dinámico (señal de habilitación activa en baja)
- c) Un F-F JK

ante la siguiente secuencia de entradas.

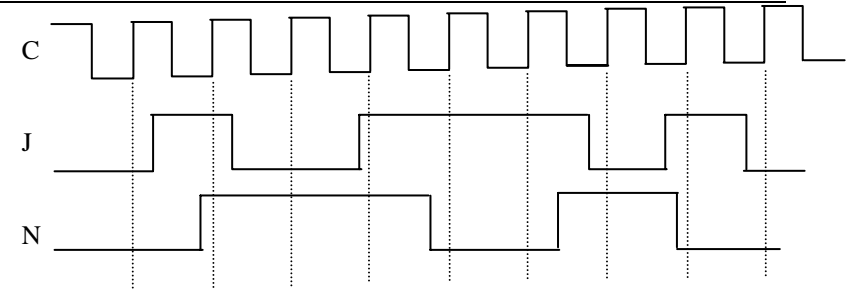


Los F-F's están activados por flancos y su flanco activo es el de bajada. Inicialmente se considerarán todas las salidas a 0. Desprecíese los retardos de propagación.

2. - El f-f JN es un flip-flop con 2 entradas J y N. La entrada J se comporta como la entrada J de un f-f JK y la entrada N como el complemento de la entrada K de un f-f JK, es decir $N = \bar{K}$.

- a) Obtener la tabla característica del f-f JN

- b) ¿A qué dispositivo se asemeja si se conectan las entradas J y N juntas?
- c) Diseñar un f-f JN utilizando f-f's tipo T y los multiplexores de tamaño mínimo que sean necesarios.
- d) Si el f-f JN está activado por flanco y su flanco activo es el de subida. ¿Cómo responderá ante la siguiente secuencia de entradas considerando los tiempos de elevación y mantenimiento despreciables? Tomar inicialmente $Q = "0"$.
- e) ¿y un f-f JN con bloqueo de datos y cuyo flanco activo es el de subida? Considerar inicialmente $Q = "0"$.



3. - Diseñar un sistema digital constituido por dos registros y un bus de 4 bits que permita realizar las siguientes operaciones:

- a) Carga en paralelo asíncrona en un registro o en otro.
- b) Escritura síncrona del contenido del bus en uno u otro registro.
- c) Lectura asíncrona en el bus del contenido de uno u otro registro.
- d) Escritura síncrona en un registro de la información contenida en el otro.

Mientras no se escriba nada en los registros, éstos mantendrán sus datos. Utilizar flip-flops tipo D con entradas directas de set y reset y las puertas que sean necesarias.

4.- Diseñar un registro de desplazamiento de 4 bits con tres señales de control $C_2C_1C_0$ tales que:

- a) Si $C_2C_1C_0 = 000$, el registro se pone a cero (reset).
- b) Si $C_2C_1C_0 = 001$, el registro se desplaza a la derecha.
- c) Si $C_2C_1C_0 = 010$, el registro mantiene la información.
- d) Si $C_2C_1C_0 = 011$, el registro desplaza cíclicamente (rotación) a la derecha.
- e) Si $C_2C_1C_0 = 100$, el registro desplaza a la izquierda.
- f) Si $C_2C_1C_0 = 101$, el registro carga información en paralelo.
- g) Si $C_2C_1C_0 = 110$, el registro desplaza cíclicamente (rotación) a la izquierda.
- h) Si $C_2C_1C_0 = 111$, el registro se pone a uno (set).

Todas estas operaciones deben efectuarse en sincronismo con la señal de reloj. Efectuar el diseño utilizando flip-flops tipo D y las puertas lógicas o los circuitos combinatoriales integrados que sean necesarios.